5Б

УДК 004.274

О.О. Баркалов[1], К.М. Єфіменко[2]
[1]University of Zelena Gora, Poland
[2]Донецький національний технічний університет, Україна
A.Barkalov@iie.uz.zgora.pl

Розділення кодів при синтезі композиційного пристрою керування з оптимальною адресацією мікрокоманд

Запропоновано метод, що дозволяє спростити схему адресації композиційного мікропрограмного пристрою керування з оптимальною адресацією мікрокоманд, яка реалізована на FPGA. Метод заснований на використанні процедури елементаризації операторних лінійних ланцюгів з розділенням кодів і оптимальним кодуванням операторних лінійних ланцюгів. Застосування даного методу забезпечує зменшення числа LUT-елементів в FPGA мікросхемі.

Вступ

Спостережуваний в останні роки стрімкий розвиток комп'ютерної техніки неухильно веде до її впровадження практично в усі сфери діяльності людини, що, у свою чергу, пред'являє усе більш високі вимоги до характеристик проектованих пристроїв. При цьому основна увага приділяється як збільшенню швидкодії, так і зниженню апаратурних витрат, що в остаточному підсумку впливає на зниження собівартості виробів цифрової техніки. Це стосується як універсальних, так і спеціалізованих обчислювальних систем, при реалізації яких широко використовуються ПЛІС типу «система-на-кристалі» (SoPC – system-on-a-programmable-chip) [1-4]. До складу SoPC входять засоби для реалізації довільної логіки (FPGA або CPLD), засоби для реалізації пам'яті, вбудовані мікропроцесори, вбудовані засоби реконфігурування. Продуктивність таких ПЛІС визначається ефективністю взаємодії всіх вбудованих компонентів [5].

Найважливішою складовою частиною будь-якої цифрової системи є пристрій керування [1], [5], який може бути реалізований як композиційний мікропрограмний пристрій керування (КМПК) [6]. При реалізації КМПК в складі SoPC схема адресації мікрокоманд будується на FPGA (field-programmable gate array) – програмованих користувачем матрицях вентилів, що складаються з мільйонів елементів табличного типу (LUT-елементів) [7], [8], а система мікрооперацій реалізується на вбудованих блоках пам'яті DMB (dedicated memory block). Обмежене (до 6) число входів LUT-елементів призводить до необхідності декомпозиції булевих функцій [8], що збільшує число LUT-елементів (і їх рівнів) у схемі адресації КМПК. У зв'язку з цим актуальною залишається задача розробки нових і удосконалювання відомих методів синтезу КМПК. У даній роботі пропонується удосконалення методу синтезу КМПК з оптимальною адресацією мікрокоманд [9], яке засноване на використанні процедури елементаризації операторних лінійних ланцюгів (ОЛЛ) із розділенням кодів.

Загальні теоретичні положення

Нехай алгоритм керування цифрової системи заданий у вигляді граф-схеми алгоритму (ГСА) Г [6], яка містить початкову b_0, кінцеву b_E, операторні й умовні вершини. Операторні вершини утворюють множину B_1, що має M елементів. У верши-

нах $b_q \in B_1$ записуються мікрокоманди $Y_q \subseteq Y$, де $Y = \{y_1, ..., y_N\}$ – множина мікрооперацій. В умовних вершинах, які утворюють множину B_2, записуються елементи множини логічних умов $X = \{x_1, ..., x_L\}$. Вершини ГСА утворюють множину $B = B_1 \cup B_2 \cup \{b_0, b_E\}$, елементи якої зв'язані дугами з множини E.

Запровадимо ряд визначень [7], необхідних для подальшого викладу матеріалу.

***Визначення* 1**. Операторним лінійним ланцюгом ГСА Г називається кінцева послідовність операторних вершин $\alpha_g = \langle b_{g1},...,b_{gF_g} \rangle$, для будь-якої пари сусідніх компонентів якої існує дуга $\langle b_{gi}, b_{gi+1} \rangle \in E$, де $I = 1, ..., F_g - 1$ – номер компонента.

***Визначення* 2**. Вершина $b_q \in D^g$, де $D^g \subseteq B_1$ – множина вершин, які входять в ОЛЛ α_g, називається входом ОЛЛ α_g, якщо існує дуга $\langle b_t, b_q \rangle \in E$, де $b_t \notin D^g$.

***Визначення* 3**. Вершина $b_q \in D^g$ називається виходом ОЛЛ α_g, якщо існує дуга $\langle b_q, b_t \rangle \in E$, де $b_t \notin D^g$.

***Визначення* 4**. Вхід ОЛЛ називається головним входом, якщо буде відсутнім зв'язок цього входу з виходами операторних вершин.

***Визначення* 5**. Операторні лінійні ланцюги $\alpha_i, \alpha_j \in C$ називаються псевдоеквівалентними ОЛЛ, якщо їхні виходи пов'язані із входом однієї й тієї ж вершини ГСА Г і утворюють множину класів псевдоеквівалентних ОЛЛ $\Pi_C = \{B_1, ..., B_I\}$. $I = |\Pi_C|$.

Нехай для ГСА Г знайдена розбивка $C = \{\alpha_1, ..., \alpha_G\}$ множини B_1 на операторні лінійні ланцюги й нехай для кожної пари сусідніх вершин ОЛЛ $\alpha_g \in C$ виконується умова

$$A(b_{gi+1}) = A(b_{gi}) + 1 \ \ (i = 1, \ldots, F_g - 1), \qquad (1)$$

де $A(b_g)$ – адреса мікрокоманди, яка відповідає вершині $b_g \in B_1$. У цьому випадку пристрій керування цифрової системи може бути реалізовано у вигляді КМПК U_1 з оптимальною адресацією мікрокоманд (рис. 1) [9], синтез якого заснований на наявності в ГСА псевдоеквівалентних ОЛЛ.

По сигналу Start у лічильник СТ заноситься адреса першої мікрокоманди алгоритму, який інтерпретується, а тригер читання ТЧ встановлюється в одиницю (Fetch = 1), що дозволяє вибірку мікрокоманд Y із керуючої пам'яті КП. Керуюча пам'ять КП зберігає набори мікрооперацій Y_q, де $Y_q \subseteq Y = \{y_1, ..., y_N\}$ – мікрооперації, які записані у вершині $b_q \in B_1$ ГСА Г, і складається з $2^R \cdot (N+2)$ біт. Перший додатковий розряд використовується для зберігання сигналу y_0, що забезпечує природну адресацію компонентів ОЛЛ $\alpha_g \in C$. Другий – для організації режиму зупинення КМПК (сигнал y_E). Комбінаційна схема адресації мікрокоманд (САМ) завдяки оптимальній адресації мікрокоманд має $R_1 =]\log_2 I[\leq R$ сигналів зворотного зв'язку і реалізує систему функцій

$$\Phi = \Phi(T', X), \qquad (2)$$

які формують у лічильнику СТ адресу $A(I_g^j)$ j-го вхіду ОЛЛ $\alpha_g \in C$.

Оптимальна адресація мікрокоманд виконується за допомогою модифікованої карти Карно. Модифікація карти полягає в тому, що по вертикалі записуються двійкові набори, які ідуть у природному порядку.

Карта Карно, що містить адреси мікрокоманд, надає $\Delta = 2^R - M_1$ клітин для адресації мікрокоманд ОЛЛ $\alpha_g \in C'$, тут $C' \subseteq C$ – множина ОЛЛ, виходи яких не пов'язані із входом вершини b_E; M_1 – число компонентів в ОЛЛ $\alpha_g \notin C'$. При виконанні умови

$$\Delta \geq \sum_{i=1}^{I} \Delta_i \qquad (3)$$

адреси компонентів будь-якого ОЛЛ $\alpha_g \in C'$ можуть бути розташовані в сусідніх клітинах карти Карно, причому компоненти всіх ОЛЛ, що належать і-му класу псевдоеквівалентних ОЛЛ B_i, будуть розташовані в одному кубі розмірності Δ_i.

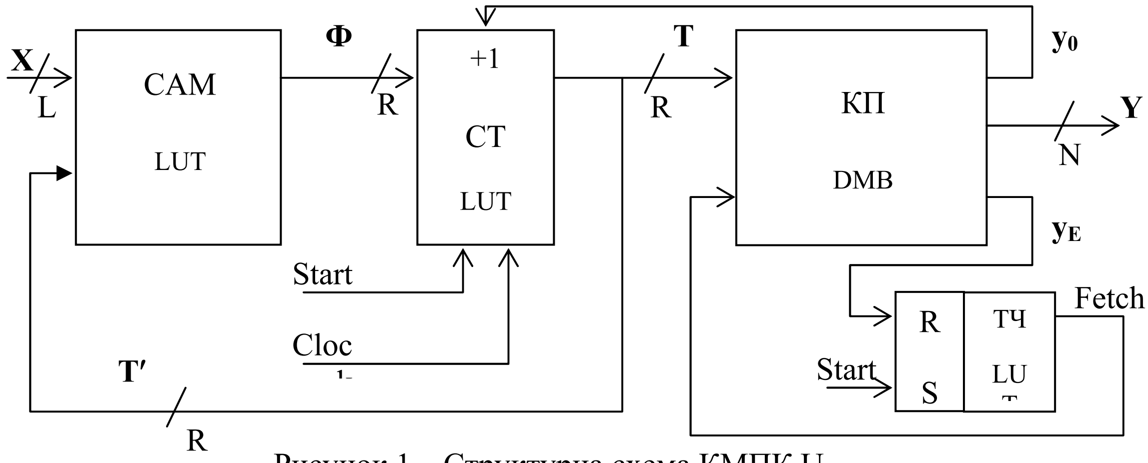


Рисунок 1 – Структурна схема КМПК U_1

Запропонований метод оптимальної адресації мікрокоманд [9] дозволяє зменшити число сигналів зворотного зв'язку в схемі адресації мікрокоманд за рахунок зменшення числа аргументів і числа термів у системі функцій (2). Однак його застосування не завжди можливо. Для доцільності використання методу необхідне виконання ряду умов [9].

У даній роботі пропонується для вдосконалення методу синтезу КМПК з оптимальною адресацією мікрокоманд використовувати процедуру елементаризації ОЛЛ із розділенням кодів. При цьому елементарним ОЛЛ будемо вважати ОЛЛ, який має тільки один вхід [6].

Основна ідея методу

Структура КМПК U_2, що інтерпретує елементарні ОЛЛ із розділенням кодів, представлена на рис. 2.

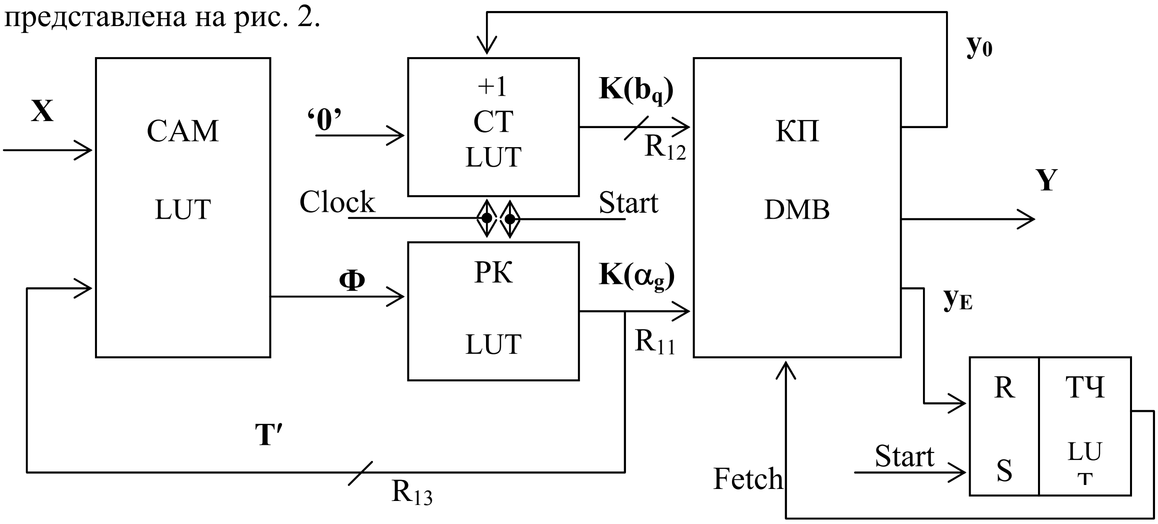


Рисунок 2 – Структурна схема КМПК U_2

Тут комбінаційна схема САМ формує систему функцій

$$\Phi = \Phi(T', X), \tag{4}$$

які задають у регістрі РК код $K(\alpha_g)$ поточного ОЛЛ $\alpha_g \in C$. Адреса мікрокоманди представлена у вигляді конкатенації кодів [6]

$$A(Y_q) = K(\alpha_g) \times K(b_q),$$

де $A(Y_q)$ – адреса мікрокоманди Y_q, яка записана у вершині b_q, що входить в ОЛЛ α_g і зберігається в керуючій пам'яті КП;

$K(\alpha_g)$ – код ОЛЛ $\alpha_g \in C = \{\alpha_1, \ldots, \alpha_G\}$ розрядності $R_{11}=]log_2 G[$;

$K(b_q)$ – код вершини b_q кортежу $\alpha_g \in C$ розрядності

$$R_{12} =]log_2 F_{max}[, \quad (5)$$

де F_{max} – максимальне число компонентів ОЛЛ у множині С.

Розрядність адреси мікрокоманди складає $R = R_{11} + R_{12}$ і для її подання використовується множина внутрішніх змінних

$$T = \{T_1, \ldots, T_{R_{11}}, T_{R_{11}+1}, \ldots, T_{R_{11}+R_{12}}\}.$$

Використання елементарних ОЛЛ дозволяє подавати на вхід лічильника СТ нульовий код, розрядності R_{12}, який відповідає коду першого компонента поточного ОЛЛ $\alpha_g \in C$.

При такому підході коди ОЛЛ і коди їхніх компонентів є взаємно незалежними і на вхід комбінаційної схеми CAM подаються тільки R_{11} змінних зворотного зв'язку, які утворюють множину $T' = \{T_1, \ldots, T_{R_{11}}\}$. Це дозволяє зменшити кількість LUT-елементів, які використовуються для реалізації схеми CAM порівняно з КМПК U_1.

Функціонування КМПК U_2 відбувається в такий спосіб. По сигналу Start вміст СТ і РК встановлюється в нуль, що є кодом першого компонента першого ОЛЛ $\alpha_g \in C$, тобто адресою першої мікрокоманди відповідної ГСА Г. Тригер читання ТЧ встановлюється в одиничний стан і відбувається зчитування мікрокоманди з КП.

Якщо адреса $A(Y_q)$ компоненти не є адресою виходу поточного ОЛЛ $\alpha_g \in C$, те одночасно з мікроопераціями $Y_q \in Y$ формується сигнал $y_0 = 1$. Таким чином, вміст лічильника збільшується на 1 і відбувається перехід до наступного компонента Y_t поточного ОЛЛ $\alpha_g \in C$.

Якщо адреса $A(Y_q)$ компоненти є адресою виходу O_g поточного ОЛЛ, то сигнал $y_0 = 0$, лічильник встановлюється в нуль, і схема CAM формує код $K(\alpha_q)$ наступного ОЛЛ $\alpha_q \in C$ відповідно до системи (4). Для подання коду використовуються змінні $\varphi_r \in \Phi = \{\varphi_1, \ldots, \varphi_{R_{11}}\}$. При формуванні сигналу y_E тригер ТЧ скидається й функціонування КМПК U_2 завершується.

Метод синтезу КМПК U_2 включає наступні етапи:

1. Формування $C = \{\alpha_1, \ldots, \alpha_G\}$ множини операторних лінійних ланцюгів вхідної ГСА Г [7].

2. Розбивка ОЛЛ $\alpha_g \in C$ вхідної ГСА Г на елементарні ОЛЛ і формування множини елементарних ОЛЛ $C_E = \{\alpha_1, \ldots, \alpha_{G_E}\}$. При цьому розбивка $\alpha_g \in C$ на елементарні ОЛЛ має сенс тільки у випадку, якщо

$$|MI(\Gamma)| < |I(\Gamma)|.$$

У загальному випадку число елементарних ОЛЛ більше числа вхідних ОЛЛ, що збільшує довжину таблиці переходів КМПК, але, у свою чергу, дозволяє зменшити число змінних зворотного зв'язку на величину

$$]log_2(|I(\Gamma)| - |MI(\Gamma)|)[.$$

Для кодування елементарних ОЛЛ $\alpha_g \in C_E$ буде потрібно R_{11} змінних $T_r \in T$.

3. Формування розбивки $\Pi_{C_E} = \{B_1, ..., B_I\}$ множини ОЛЛ C_E на класи псевдоеквівалентних ОЛЛ. При цьому розбивка на класи псевдоеквівалентних ОЛЛ виконується тільки для $\alpha_g \in C'_E$, таких, що вихід цього ОЛЛ не пов'язаний з кінцевою вершиною ГСА. Формування розбивки множини ОЛЛ C'_E на класи псевдоеквівалентних ОЛЛ дає $\Pi'_{C'_E} = \{B_1, ..., B_{I_1}\}$, де $I_1 = |\Pi'_{C'_E}|$.

4. Оптимальне кодування елементарних ОЛЛ $\alpha_g \in C_E$ двійковими кодами $K(\alpha_g)$ розрядності $R_{11} = \,]log_2 G_E[$ і кодування компонентів b_q ОЛЛ $\alpha_g \in C_E$ двійковими кодами $K(b_q)$ розрядності R_{12} (5). При цьому оптимальне кодування елементарних ОЛЛ $\alpha_g \in C'_E$ виконується за допомогою модифікованої карти Карно, аналогічно кодуванню псевдоеквівалентних станів автомата Мура [9]. Кожному елементарному ОЛЛ $\alpha_g \in C'_E$ ставиться у відповідність R_{11}-розрядний код і всі ОЛЛ $\alpha_g \in B_i$ повинні розташовуватися в одному кубі булева простору, це дозволяє отримати коди, що однозначно ідентифікують класи псевдоеквівалентних ОЛЛ $B_i \in \Pi'_{C'_E}$. Такий підхід приводить до зменшення числа змінних зворотного зв'язку $T_r \in T'$ від значення R_{11} до $R_{13} = \,]log_2 I[$.

5. Формування вмісту керуючої пам'яті КП.

6. Формування таблиці переходів КМПК. Для побудови таблиці переходів КМПК U_2 (Г) виконується формування системи формул переходу, у яких виходи ОЛЛ $\alpha_g \in B_i$ заміняються відповідними класами $B_i \in \Pi_{C'_E}$, а входи ОЛЛ заміняються ОЛЛ $\alpha_q \in C_E$, у які відбувається перехід. При цьому не використовуються формули для класів $B_i \in \Pi_{C_E}$, у які входять ОЛЛ $\alpha_q \notin C'_E$.

Таблиця переходів КМПК U_2 (Г) містить такі колонки: B_i, $K(B_i)$, α_q, $K(\alpha_q)$, X_h, Φ_h, h, де $B_i \in \Pi'_{C'_E}$; $K(B_i)$ – код класу псевдоеквівалентних ОЛЛ, що однозначно ідентифікує клас $B_i \in \Pi'_{C'_E}$; α_q – ОЛЛ $\alpha_q \in C_E$, у який є перехід з виходу ОЛЛ $\alpha_g \in B_i$ під дією сигналу X_h; $K(\alpha_q)$ – код ОЛЛ $\alpha_q \in C_E$; $\Phi_h \subseteq \Phi$ – множина функцій, що приймають одиничне значення для запису в регістр РК коду $K(\alpha_q)$ ОЛЛ $\alpha_q \in C_E$; $h = \overline{1,H}$ – номер переходу.

7. Формування системи функцій Φ. Формування системи функцій (4) виконується по таблиці переходів КМПК U_2 (Г) у вигляді:

$$\varphi_r = \bigvee_{h=1}^{H} C_{rh} E_i^h X_h \quad \left(r = \overline{1, R_{13}}\right),$$

де C_{rh} – булева змінна, рівна одиниці, якщо й тільки якщо в h-му рядку таблиці переходів записана функція $\varphi_r = 1$;

E_i^h – кон'юнкція змінних $T_r \in T`$, яка відповідає коду $K(B_i)$ з h-го рядка таблиці переходів $h = \overline{1,H}$;

$$E_i^h = \bigwedge_{r=1}^{R_{13}} T_r^{l_{ir}} \quad \left(i = \overline{1, I_1}\right),$$

де $l_{ir} \in \{*,0,1\}$ – значення r-го розряду коду $K(B_i)$, $T_r^* = 1$, $T_r^0 = \overline{T_r}$, $T_r^1 = T_r$ $(r = \overline{1, R_{13}})$.

8. Синтез логічної схеми КМПК на FPGA. Синтез логічної схеми виконується на LUT-елементах (регістр РК реалізується на тригерах, які входять до складу FPGA) і керуючої пам'яті КП на блоках DMB [7], [10].

На рис. 3 показані результати моделювання запропонованого методу синтезу КМПК U_2, яке засновано на роботі [1]. При цьому досліджувалося відношення апа-

ратурних витрат (число LUT-елементів) у схемах адресації мікрокоманд КМПК U_2 і КМПК U_1, при різних значеннях K – число вершин ГСА Г й ряду інших параметрів. Дослідження показали, що зменшення числа елементарних ОЛЛ ГСА збільшує економію ресурсів, у той же час збільшення числа класів псевдоеквівалентних елементарних ОЛЛ знижує ефективність запропонованого методу синтезу.

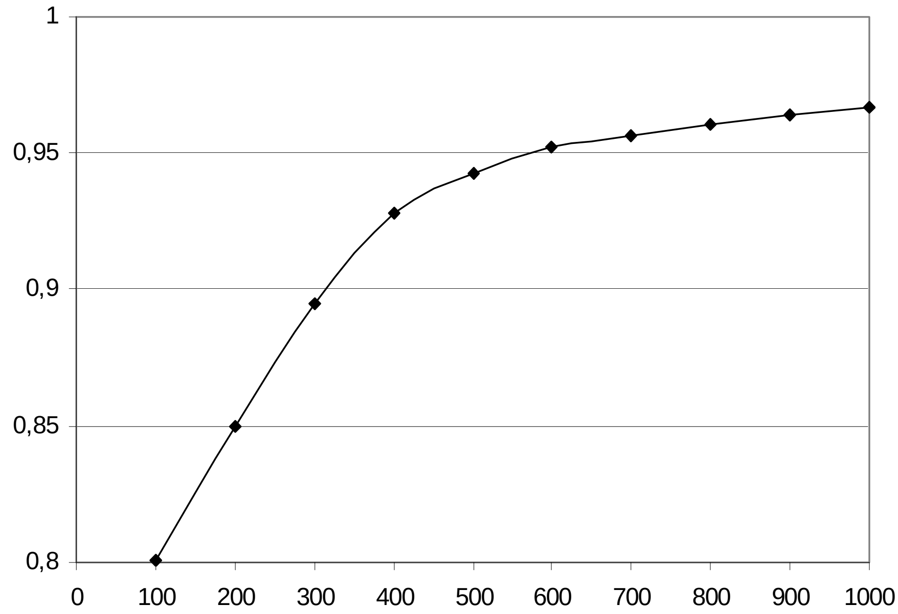


Рисунок 3 – Відношення апаратурних витрат
у схемах автомата адресації КМПК U_2 і КМПК U_1

Висновок

Запропонований у роботі метод елементаризації ОЛЛ із розділенням кодів і оптимальним кодуванням ОЛЛ дозволяє при виконанні умови $R_{13} < R_{11}$ зменшити число змінних зворотного зв'язку, необхідних для реалізації системи функцій (4), що формують код наступного ОЛЛ ГСА. Застосування методу не вимагає використання додаткового регістра, тому що для його реалізації досить використати наявні в складі FPGA тригери. У той же час відбувається зменшення розрядності лічильника СТ, який використовується тільки для адресації компонентів ОЛЛ (5). При цьому час такту КМПК U_1 і U_2 збігається. Проведені авторами дослідження показали, що використання КМПК U_2 зменшує число LUT-елементів програмувальних логічних блоків FPGA, які необхідні для реалізації схеми адресації мікрокоманд, до 20% порівняно із КМПК U_1.

Література

1. Baranov S. Logic and System Design of Digital Systems / Baranov S. – Tallinn : TUT Press, 2008. – 266 p.
2. Соловьев В.В. Логическое проектирование цифровых систем на основе программируемых логических интегральных схем / В.В. Соловьев, А.С. Климович. – М. : Горячая линия – Телеком, 2008. – 376 с.
3. Minks P. FSM – based Digital Design using Verilog / P. Minks, L. Eliot. – London : John Wiley & Sons, 2008. – 351 p.
4. Maxfield C. The Design Warrier's Guide to FPGAs / C. Maxfield. – Elsevier : Amsterdam, 2004. – 541 p.
5. Палагин А.В. Реконфигурируемые вычислительные системы: Основы и приложения / А.В. Палагин, В.Н. Опанасенко. – К. : Просвита, 2006. – 280 с.

6. Баркалов А.А. Синтез устройств управления на программируемых логических устройствах / Баркалов А.А. – Донецк : ДонНТУ, 2002. – 262 с.
7. Баркалов А.А. Синтез композиционных микропрограммных устройств управления / А.А. Баркалов, Л.А. Титаренко. – Харьков : Коллегиум, 2007. – 302 с.
8. Баркалов А.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС / А.А. Баркалов, Л.А. Титаренко. – Донецк : УНИТЕХ, 2009. – 336 с.
9. Баркалов А.А. Принципы оптимизации логической схемы микропрограммного автомата Мура / А.А. Баркалов // Кибернетика и системный анализ. – 1998. – № 1. – С. 65-72.
10. Баркалов А.А. Оптимизация числа LUT-элементов в композиционном микропрограммном устройстве управления с общей памятью / А.А. Баркалов, С.А. Ковалев, К.Н. Ефименко // Управляющие системы и машины. – 2006. – № 4. – С. 50-55.

Literatura

1. Baranov S. Logic and System Design of Digital Systems. Tallinn: TUT Press. 2008. 266 p.
2. Solov'ev V.V. Logicheskoe proektirovanie cifrovyh sistem na osnove programmiruemyh logicheskih integral'nyh shem. M.: Gorjachaja linija – Telekom. 2008. 376 s.
3. Minks P. FSM – based Digital Design using Verilog. London: John Wiley & Sons. 2008. 351 p.
4. Maxfield C. The Design Warrier's Guide to FPGAs. Elsevier: Amsterdam. 2004. 541 p.
5. Palagin A.V. Rekonfiguriruemye vychislitel'nye sistemy: Osnovy i prilozhenija. K.: Prosvita. 2006. 280 s.
6. Barkalov A.A. Sintez ustrojstv upravlenija na programmiruemyh logicheskih ustrojstvah. Doneck: DonNTU. 2002. 262 s.
7. Barkalov A.A. Sintez kompozicionnyh mikropro-grammnyh ustrojstv upravlenija. Har'kov: Kollegium. 2007. 302 s.
8. Barkalov A.A. Sintez mikroprogrammnyh avtomatov na zakaznyh i programmiruemyh SBIS. Doneck: UNITEH. 2009. 336 s.
9. Barkalov A.A. Kibernetika i sistemnyj analiz. №1. 1998. S 65-72
10. Barkalov A.A. Upravljajushhie sistemy i mashiny. №4. 2006. S 50-55

А.А. Баркалов, К.Н. Ефименко

Разделение кодов при синтезе композиционного устройства управления с оптимальной адресацией микрокоманд

Предложен метод, позволяющий упростить схему адресации композиционного микропрограммного устройства управления с оптимальной адресацией микрокоманд, реализованную на FPGA. Метод основан на использовании процедуры элементаризации операторных линейных цепей с разделением кодов и оптимальным кодированием операторных линейных цепей. Применение данного метода обеспечивает уменьшение числа LUT-элементов в FPGA микросхеме.

A.A. Barkalov, K.N. Efimenko

Sharing of Codes at Synthesis of the Compositional Control Unit with Optimum Addressing Microinstractions

The method is proposed that leads to simplification of the circuit of addressing of compositional microprogram control unit with optimum addressing microinstractions implemented on FPGA. The method is based on usage of procedure elementarization of operational linear chains with sharing of codes and optimal coding of operational linear chains. The application of the method permits to decrease the amount of LUT-elements in the chip of FPGA.

Статья поступила в редакцию 04.07.2011.